

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-195602
(P2009-195602A)

(43) 公開日 平成21年9月3日(2009.9.3)

(51) Int.Cl.	F 1	テーマコード (参考)
A61B 1/04 (2006.01)	A 61 B 1/04	362 J 2 H04 O
G02B 23/24 (2006.01)	A 61 B 1/04	370 4 C06 1
HO4N 7/18 (2006.01)	G 02 B 23/24	B 5 C05 4
	H 04 N 7/18	M

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号	特願2008-42885 (P2008-42885)	(71) 出願人	000005430 フジノン株式会社 埼玉県さいたま市北区植竹町1丁目324 番地
(22) 出願日	平成20年2月25日 (2008.2.25)	(74) 代理人	100075281 弁理士 小林 和憲
		(74) 代理人	100095234 弁理士 飯島 茂
		(72) 発明者	中村 和彦 埼玉県さいたま市北区植竹町1丁目324 番地 フジノン株式会社内
		F ターム (参考)	2H040 DA12 DA22 GA02 GA10 GA11 4C061 AA01 BB01 CC06 DD03 GG01 LL02 NN05 NN07 SS30 YY14 5C054 CC07 HA12

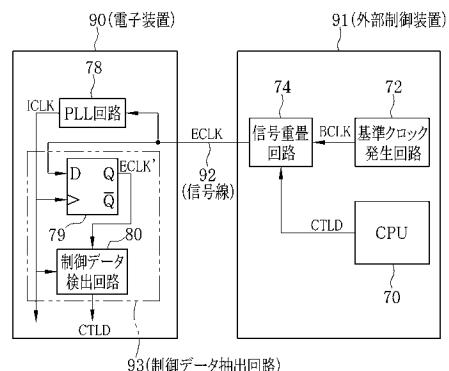
(54) 【発明の名称】電子通信システム及び内視鏡システム

(57) 【要約】

【課題】外部装置から電子装置にデータを高速にかつ安定してシリアル伝送する。

【解決手段】制御データ C T L D を送信する送信側の外部制御装置(外部装置)91は、基準クロック信号 B L C K を発生する基準クロック発生回路72と、制御データ C T L D を発生する C P U 70と、基準クロック信号に制御データ C T L D を重畳させたものを外部クロック信号 E C L K として、信号線92を介して電子装置90にシリアル伝送させる信号重畳回路74とを備える。受信側の電子装置90は、外部制御装置91からシリアル伝送される外部クロック信号 B L C K の周波数と同期した内部クロック信号 I C L K を生成する P L L 回路78と、内部クロック信号 I C L K に基づき、外部クロック信号 E C L K に重畳された制御データ C T L D を抽出する制御データ抽出回路93とを備える。

【選択図】図9



【特許請求の範囲】**【請求項 1】**

電子装置と外部装置とが信号線を介して接続された電子通信システムにおいて、前記外部装置は、基準クロック信号を発生する基準クロック発生回路と、データを発生するデータ発生回路と、前記基準クロック信号に前記データを重畠させたものを外部クロック信号として、前記信号線を介して前記電子装置にシリアル伝送させる信号重畠回路とを備え、

前記電子装置は、前記外部装置からシリアル伝送される前記外部クロック信号の周波数と同期した内部クロック信号を生成する内部クロック生成回路と、前記内部クロック信号に基づき、前記外部クロック信号に重畠された前記データを抽出するデータ抽出回路とを備えたことを特徴とする電子通信システム。

【請求項 2】

前記外部装置は、前記データのビット数を増やし、同じデータが所定ビット以上連続しないように前記データをエンコードするエンコーダを備えることを特徴とする請求項1に記載の電子通信システム。

【請求項 3】

前記信号重畠回路は、前記データ発生回路からデータが発生されない場合には、前記基準クロック信号をそのまま外部クロック信号として前記電子装置にシリアル伝送させることを特徴とする請求項1または2に記載の電子通信システム。

【請求項 4】

前記データは、前記電子装置を制御するための制御データであることを特徴とする請求項1から3いずれか1項に記載の電子通信システム。

【請求項 5】

固体撮像素子を有する撮像装置を内蔵した内視鏡と、前記固体撮像素子を制御するプロセッサ装置とが信号線を介して接続され、前記撮像装置は、前記プロセッサ装置から前記信号線を介して伝送されたデータに基づいて前記固体撮像素子の撮像動作及び前記固体撮像素子から出力された撮像信号の信号処理を行う内視鏡システムにおいて、

前記プロセッサ装置は、基準クロック信号を発生する基準クロック発生回路と、前記データを発生するデータ発生回路と、前記基準クロック信号に前記データを重畠させたものを外部クロック信号として、前記信号線を介して前記撮像装置にシリアル伝送させる信号重畠回路とを備え、

前記撮像装置は、前記プロセッサ装置からシリアル伝送される前記外部クロック信号の周波数と同期した内部クロック信号を生成する内部クロック生成回路と、前記内部クロック信号に基づき、前記外部クロック信号に重畠された前記データを抽出するデータ抽出回路とを備えたことを特徴とする内視鏡システム。

【請求項 6】

前記固体撮像素子は、CMOS型の固体撮像素子であることを特徴とする請求項4に記載の内視鏡システム。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、撮像装置等の電子装置と外部装置とが信号線を介して電気的に接続された電子通信システム及び内視鏡システムに関するものである。

【背景技術】**【0002】**

CCD (Charge Coupled Device)型やCMOS (Complementary Metal Oxide Semiconductor)型の固体撮像素子の小型化が進められており、医療分野における内視鏡システムに適用されている。内視鏡システムは、被検体内に挿入され、固体撮像素子により被検体内を撮像する撮像装置を備えた内視鏡と、撮像装置の動作を制御するとともに、撮像装置から送られてきた画像をモニタに表示させる外部装置(プロセッサ装置)とが信号線を介

して相互に接続されてなる一種の電子通信システムである。

【0003】

C M O S型固体撮像素子は、C C D型固体撮像素子とは異なり、固体撮像素子の駆動や信号処理を行う周辺回路とともに、半導体により形成された一体の撮像装置として1チップ化（S o C（System On a Chip）化）が可能であるため、撮像動作により得た撮像信号を1チップ化された撮像装置内で処理することができ、外部装置に接続されるモニタに適合したフォーマットの映像信号として出力することができる。

【0004】

C M O S型固体撮像素子を備えた撮像装置において実行される撮像信号の処理としては、ホワイトバランス調整、ゲイン補正、ガンマ補正、映像信号へのフォーマット変換等がある。これらの処理内容は、外部装置に接続されるモニタの種類や、撮像装置の使用環境（例えば、照明光の明るさや波長）等によって異なるため、C M O S型固体撮像素子を撮像装置内に備えた内視鏡システムでは、撮像装置における処理の実行のために、撮像装置に対して、処理内容に対応した制御データを外部装置から伝送する必要がある（例えば、特許文献1, 2参照）。

10

【0005】

特許文献1, 2に記載の内視鏡システムでは、信号線の本数を削減するために、1本の信号線を用いて外部装置から撮像装置へ制御データを伝送（シリアル伝送）させており、撮像装置内では、伝送された制御データをピット単位で時系列的に検出するために、クロック発生器により発生した内部クロック信号に基づいて、制御データの検出が行われている。

20

【特許文献1】特開2002-185853号公報

【特許文献2】特開2002-185873号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

特許文献1, 2に記載の内視鏡システムのように、受信側の電子装置（撮像装置）内で発生した内部クロック信号を用いて、外部から伝送される制御データを検出する電子通信システムでは、制御データの伝送周波数が低い場合には特に問題はないが、制御データの伝送周波数が高い場合（例えば、1GHzを超える場合）には、制御データの伝送周波数と内部クロック信号の周波数との間にずれが生じ、制御データの誤検出が生じることが問題となる。

30

【0007】

かかる問題を解決するために、送信側の外部装置と受信側の電子装置との間に、制御データ伝送用の信号線（データ線）に加えてクロック信号伝送用の信号線（クロック線）を配し、送信側から制御データとともにそれに同期したクロック信号を伝送し、受信側では伝送されたクロック信号を用いて制御データの検出を行う高速シリアル伝送技術を用いることが考えられる。

【0008】

しかしながら、この高速シリアル伝送技術を用いたとしても、内視鏡システムのように送受信間に距離があり、長い信号線を有する電子通信システムでは、各信号線に付随する寄生容量や配線抵抗の差により、データ線とクロック線との間でタイミングスキュー（データ信号とクロック信号との位相差）が生じて制御データの伝送が不安定化し、その結果、受信側では、制御データの誤検出が生じるといった問題がある。

40

【0009】

本発明は、上記課題を鑑みてなされたものであり、外部装置から電子装置に制御データ等のデータを高速にかつ安定してシリアル伝送することができる電子通信システム及び内視鏡システムを提供することを目的とする。

【課題を解決するための手段】

【0010】

50

上記目的を達成するために、本発明の電子システムは、電子装置と外部装置とが信号線を介して接続された電子通信システムにおいて、前記外部装置は、基準クロック信号を発生する基準クロック発生回路と、データを発生するデータ発生回路と、前記基準クロック信号に前記データを重畠させたものを外部クロック信号として、前記信号線を介して前記電子装置にシリアル伝送させる信号重畠回路とを備え、前記電子装置は、前記外部装置からシリアル伝送される前記外部クロック信号の周波数と同期した内部クロック信号を生成する内部クロック生成回路と、前記内部クロック信号に基づき、前記外部クロック信号に重畠された前記データを抽出するデータ抽出回路とを備えたことを特徴とする。

【0011】

なお、前記外部装置は、前記データのビット数を増やし、同じデータが所定ビット以上連続しないように前記データをエンコードするエンコーダを備えることが好ましい。

【0012】

また、前記信号重畠回路は、前記データ発生回路からデータが発生されない場合には、前記基準クロック信号をそのまま外部クロック信号として前記電子装置にシリアル伝送させることが好ましい。

【0013】

また、前記データは、前記電子装置を制御するための制御データであることが好ましい。

【0014】

また、本発明の内視鏡システムは、固体撮像素子を有する撮像装置を内蔵した内視鏡と、前記固体撮像素子を制御するプロセッサ装置とが信号線を介して接続され、前記撮像装置は、前記プロセッサ装置から前記信号線を介して伝送されたデータに基づいて前記固体撮像素子の撮像動作及び前記固体撮像素子から出力された撮像信号の信号処理を行う内視鏡システムにおいて、前記プロセッサ装置は、基準クロック信号を発生する基準クロック発生回路と、前記データを発生するデータ発生回路と、前記基準クロック信号に前記データを重畠させたものを外部クロック信号として、前記信号線を介して前記撮像装置にシリアル伝送させる信号重畠回路とを備え、前記撮像装置は、前記プロセッサ装置からシリアル伝送される前記外部クロック信号の周波数と同期した内部クロック信号を生成する内部クロック生成回路と、前記内部クロック信号に基づき、前記外部クロック信号に重畠された前記データを抽出するデータ抽出回路とを備えたことを特徴とする。

【0015】

なお、前記固体撮像素子は、CMOS型の固体撮像素子であることが好ましい。

【発明の効果】

【0016】

本発明の電子通信システムによれば、外部装置は、内部で発生した基準クロック信号にデータを重畠させたものを外部クロック信号として、信号線を介して電子装置にシリアル伝送させるので、伝送されるクロック信号とデータとの間にタイミングスキューが生じるといった問題は生じず、データの伝送の高速化及び安定化を図ることができる。また、1本の信号線を用いてクロック信号とデータとを伝送することができるため、電子装置と外部装置との間を接続する信号線の本数を削減することができる。

【0017】

また、本発明の内視鏡システムでは、1本の信号線を用いてクロック信号とデータとをシリアル伝送することができることから、信号線が挿通されるケーブルを細線化し、電子内視鏡を細径化することができる。これにより、電子内視鏡が挿入される患者の負担が軽減される。

【発明を実施するための最良の形態】

【0018】

図1において、内視鏡システム2は、電子内視鏡10、プロセッサ装置11、光源装置12などから構成されている。電子内視鏡10は、体腔内に挿入される可撓性の挿入部14と、挿入部14の基端部分に連設された操作部15と、プロセッサ装置11及び光源装

10

20

30

40

50

置 12 に接続されるユニバーサルコード 16 とを備えている。

【 0 0 1 9 】

挿入部 14 の先端には、体腔内撮影用の撮像チップ（撮像装置）42（図3参照）や照明部などが内蔵された先端部 17 が連設されている。先端部 17 の後方には、複数の湾曲駒を連結した湾曲部 18 が設けられている。湾曲部 18 は、操作部 15 に設けられたアングルノブ 19 が操作されて、挿入部 14 内に挿設されたワイヤが押し引きされることにより、上下左右方向に湾曲動作する。これにより、先端部 17 が体腔内の所望の方向に向かわれる。

【 0 0 2 0 】

ユニバーサルコード 16 の基端は、コネクタ 20 に連結されている。コネクタ 20 は、複合タイプのものであり、コネクタ 20 にはプロセッサ装置 11 が接続される他、光源装置 12 が接続される。

【 0 0 2 1 】

プロセッサ装置 11 は、ユニバーサルコード 16 内に挿通されたケーブル 50（図3参照）を介して電子内視鏡 10 に給電を行い、撮像チップ 42 の駆動を制御するとともに、撮像チップ 42 からケーブル 50 を介して伝送された映像信号を受信し、受信した映像信号を、プロセッサ装置 11 にケーブル接続されたモニタ 21 に内視鏡画像として表示させる。また、プロセッサ装置 11 は、コネクタ 20 を介して光源装置 12 と電気的に接続され、内視鏡システム 2 の動作を統括的に制御する。

【 0 0 2 2 】

図2において、先端部 17 の前面 17a には、観察窓 30、照明窓 31、鉗子出口 32、及び送気・送水用ノズル 33 が設けられている。観察窓 30 は、先端部 17 の片側中央に配置されている。照明窓 31 は、観察窓 30 に関して対称な位置に 2 個配され、体腔内の被観察部位に光源装置 12 からの照明光を照射する。鉗子出口 32 は、挿入部 14 内に配設された鉗子チャンネル 51（図3参照）に接続され、操作部 15 に設けられた鉗子口 22（図1参照）に連通している。鉗子口 22 には、注射針や高周波メスなどが先端に配された各種器具が挿通され、各種器具の先端が鉗子出口 32 から露呈される。送気・送水用ノズル 33 は、操作部 15 に設けられた送気・送水ボタン 23（図1参照）の操作に応じて、光源装置 12 に内蔵された送気・送水装置から供給される洗浄水や空気を、観察窓 30 や体腔内に向けて噴射する。

【 0 0 2 3 】

図3において、観察窓 30 の奥には、体腔内の被観察部位の像光を取り込むための対物光学系 40 を保持する鏡筒 41 が配設されている。鏡筒 41 は、挿入部 14 の中心軸に対物光学系 40 の光軸が平行となるように取り付けられている。鏡筒 41 の後端には、対物光学系 40 を経由した被観察部位の像光を、略直角に曲げて撮像チップ 42 に向けて導光するプリズム 43 が接続されている。

【 0 0 2 4 】

撮像チップ 42 は、CMOS 型の固体撮像素子 44 と、固体撮像素子 44 の駆動及び信号処理を行う周辺回路 45 とが一体形成（SOC 化）されたモノリシック半導体（いわゆる CMOS センサチップ）であり、支持基板 46 上に実装されている。固体撮像素子 44 の撮像面 44a は、プリズム 43 の出射面と対向するように配置されている。撮像面 44a 上には、矩形枠状のスペーサ 47 を介して矩形板状のカバーガラス 48 が取り付けられている。撮像チップ 42、スペーサ 47、及びカバーガラス 48 は、接着剤を介して組み付けられている。これにより、塵埃などの侵入から撮像面 44a が保護されている。

【 0 0 2 5 】

挿入部 14 の後端に向けて延設された支持基板 46 の後端部には、複数の入出力端子 46a が支持基板 46 の幅方向に並べて設けられている。入出力端子 46a には、ユニバーサルコード 16 を介してプロセッサ装置 11 との各種信号のやり取りを媒介するための信号線 49（図5の信号線 49a～49e）が接合されており、入出力端子 46a は、支持基板 46 に形成された配線やボンディングパッド等（図示せず）を介して撮像チップ 42

10

20

30

40

50

内の周辺回路 45 と電気的に接続されている。信号線 49 は、可撓性の管状のケーブル 50 内にまとめて挿通されている。ケーブル 50 は、挿入部 14、操作部 15、及びユニバーサルコード 16 の各内部を挿通し、コネクタ 20 に接続されている。

【0026】

また、図示は省略したが、照明窓 31 の奥には、照明部が設けられている。照明部には、光源装置 12 からの照明光を導くライトガイドの出射端が配されている。ライトガイドは、ケーブル 50 と同様に、挿入部 14、操作部 15、及びユニバーサルコード 16 の各内部を挿通し、コネクタ 20 に入射端が接続されている。

【0027】

図 4において、固体撮像素子 44 は、単位画素 60 がマトリクス状に配置された画素部 61 と、画素部 61 からの出力信号（画素データ）の処理（ノイズ抑制処理）を行なう相関二重サンプリング（CDS）回路 62 と、画素部 61 の垂直方向の走査を制御するとともに画素部 61 のリセット動作を制御する垂直走査回路 63 と、水平方向の走査を制御する水平走査回路 64 と、画素データの出力を行う出力回路 65 と、各回路 62～64 に制御信号を与え、垂直・水平走査及びサンプリングのためのタイミング等を制御する制御回路 66 とから構成されている。

【0028】

単位画素 60 は、1 個のフォトダイオード D1、リセット用トランジスタ M1、ドライブ用（增幅用）トランジスタ M2、及び画素選択用トランジスタ M3 とからなる。各単位画素 60 は、垂直走査線（行選択線）L1 及び水平走査線（列信号線）L2 に接続されており、垂直走査回路 63 と水平走査回路 64 によって順次に走査される。

【0029】

制御回路 66 は、画素部 61 の行及び列を走査するために垂直走査回路 63 及び水平走査回路 64 に入力する制御信号、フォトダイオード D1 に蓄積された信号電荷をリセットするために垂直走査回路 63 に入力する制御信号、及び画素部 61 と CDS 回路 62 との接続を制御するために CDS 回路 62 に入力する制御信号をそれぞれ生成する。

【0030】

CDS 回路 62 は、列信号線 L2 ごとに区分して設けられており、垂直走査回路 63 によって選択された行選択線 L1 に接続された各単位画素 60 の画素データを、水平走査回路 64 が output する水平走査信号に従って順次に出力する。水平走査回路 64 は、CDS 回路 62 と、出力回路 65 に接続された出力バスライン L3 との間に設けられた列選択用トランジスタ M4 のオン／オフを水平走査信号により制御する。出力回路 65 は、CDS 回路 62 から出力バスライン L3 に順次に転送される画素データを增幅して出力する。以下では、出力回路 65 から出力される一連の画素データをまとめて撮像信号と称する。

【0031】

なお、図示は省略するが、固体撮像素子 44 は、複数の色セグメントからなるカラーフィルタ（例えば、ベイヤー配列の原色カラーフィルタ）を備えた单板カラー撮像方式の固体撮像素子である。

【0032】

図 5において、プロセッサ装置 11 は、CPU（データ発生回路）70、電源回路 71、基準クロック発生回路 72、8B10B エンコーダ 73、信号重畠回路 74、PLL（Phase-Locked Loop）回路 75、シリアル／パラレル（S／P）変換器 76、及び表示ドライバ 77 によって構成されている。

【0033】

CPU 70 は、プロセッサ装置 11 内の各部を制御するとともに、撮像チップ 42 の動作を制御するために、例えば 8 ビットのパラレル信号からなる制御データ CTL D を出力し、8B10B エンコーダ 73 を介して信号重畠回路 74 に入力する。

【0034】

電源回路 71 は、電源電圧 VDD 及び接地電圧 VSS を生成し、生成した電源電圧 VDD 及び接地電圧 VSS を、プロセッサ装置 11 内の各部に供給するとともに、信号線 49

10

20

30

40

50

a, 49b を介して撮像チップ 42 内の各部に供給する。基準クロック発生回路 72 は、周波数が安定した基準クロック信号 BCLK を発生し、発生した基準クロック信号 BCLK を信号重畳回路 74 に入力する。

【0035】

8B10B エンコーダ 73 は、CPU70 から入力された 8 ビットの制御データ CTL D に対し、冗長な 2 ビットのデータを付加して 10 ビットの制御データ CTL D' に変換する 8B10B 方式のエンコーダであり、8 ビットから 10 ビットへの変換は、規格で定められた変換表を用いて行う。この変換は、信号線 49c を介して行うシリアル伝送の際に同じ信号レベル（“0”または“1”）が所定期間以上連続しないようにするためのものであり、例えば、元の 8 ビットの制御データ CTL D が“00001111”的ときには、“0101110100”的 10 ビットの制御データ CTL D' に変換を行う。

10

【0036】

信号重畳回路 74 は、基準クロック発生回路 72 から入力された基準クロック信号 BCLK に、8B10B エンコーダ 73 から入力された制御データ CTL D' を重畳することにより外部クロック信号 ECLK を生成し、生成した外部クロック信号 ECLK を、信号線 49c を介して撮像チップ 42 へシリアル伝送させる。

【0037】

具体的には、信号重畳回路 74 は、図 6 に示すように、基準クロック信号 BCLK の立ち上がりエッジを検出し、制御データ CTL D' が“1”に対応する 1 周期（立ち上がりエッジから次の立ち上がりエッジまでの期間）を Low レベルに固定するように変換を行うことにより、制御データ CTL D' が重畳された外部クロック信号 ECLK を生成する。同図では、8B10B エンコーダ 73 により変換された制御データ CTL D' が“1001100010”的場合を示している。この制御データ CTL D' は、負論理で表現したものであり、“1”は Low レベルに対応し、“0”は High レベルに対応する。

20

【0038】

なお、CPU70 は、撮像チップ 42 が撮像動作を開始した後など、撮像チップ 42 の制御を行う必要がない場合には、制御データ CTL D を“00000000”（負論理の場合）とゼロ固定にする。8B10B エンコーダ 73 は、制御データ CTL D がゼロ固定の場合には、出力する制御データ CTL D' を“0000000000”とゼロ固定にする。この場合には、信号重畳回路 74 では、上記の信号重畳処理が実質的に作動せず、基準クロック発生回路 72 から入力された基準クロック信号 BCLK がそのまま外部クロック信号 ECLK として撮像チップ 42 に伝送される。また、この場合には、信号重畳回路 74 からの信号出力を停止し、撮像チップ 42 へ何も送信しないようにしても良い。

30

【0039】

PLL 回路 75 は、位相比較器、ループフィルタ、電圧制御発信器、及び分周器を備える位相同期回路であり、撮像チップ 42 から信号線 49d を介して伝送されるシリアル伝送用クロック信号 TCLK を受信し、このシリアル伝送用クロック信号 TCLK の周波数を所定倍（例えば 1/10 倍）に遅倍して、撮像チップ 42 内の内部クロック信号 ICLK と同一の周波数を有するクロック信号 SCLK を生成する。このクロック信号 SCLK は、S/P 変換器 76 及び表示ドライバ 77 に供給される。

40

【0040】

S/P 変換器 76 は、撮像チップ 42 から信号線 49e を介してシリアル伝送される映像信号 VOS を受信し、PLL 回路 75 が生成したクロック信号 SCLK に応じて、受信した映像信号 VOS をパラレル信号に変換して表示ドライバ 77 に順次に入力する。表示ドライバ 77 は、クロック信号 SCLK に基づき、映像信号 VOS を画像としてモニタ 21 に表示させる。

【0041】

撮像チップ 42 内の周辺回路 45 は、PLL 回路 78、D 型フリップフロップ 79、制御データ検出回路 80、S/P 変換器 81、8B10B デコーダ 82、制御データ保持回路 83、アナログ / デジタル (A/D) 変換器 84、デジタル信号処理回路 (DSP) 8

50

5、PLL回路86、及びパラレル／シリアル（P/S）変換器87によって構成されている。なお、本実施形態では、D型フリップフロップ79、制御データ検出回路80、S/P変換器81、及び8B10Bデコーダ82が特許請求の範囲に記載の制御データ抽出回路に含まれる。

【0042】

PLL回路78は、前述のPLL回路75と同様な構成であり、信号重畠回路74から信号線49cを介して入力される外部クロック信号ECLKの位相を検出して、この外部クロック信号ECLKの周波数を所定倍（例えば2倍）に遅倍した内部クロック信号ICLKを生成する。この内部クロック信号ICLKは、周辺回路45内の各部、及び固体撮像素子44の制御回路66（図4参照）に供給される。

10

【0043】

D型フリップフロップ79は、データ入力端子Dに外部クロック信号ECLKが入力され、クロック入力端子に内部クロック信号ICLKが入力される。D型フリップフロップ79は、図7に示すように、データ入力端子Dに入力された外部クロック信号ECLKを、内部クロック信号ICLKの立ち上がりエッジでサンプリングして保持することで、内部クロック信号ICLKに位相同期したリタイミングデータとして外部クロック信号ECLK'を再生する。このリタイミングされた外部クロック信号ECLK'は、データ出力端子Qから出力され、制御データ検出回路80に入力される。なお、PLL回路78とD型フリップフロップ79とは、いわゆるクロックデータリカバリ（Clock & Data Recovery: CDR）回路を構成している。

20

【0044】

制御データ検出回路80は、D型フリップフロップ79から入力される外部クロック信号ECLK'の遷移（立ち上がりエッジ、立ち下がりエッジ、または両エッジ）を、内部クロック信号ICLKに基づいて監視し、外部クロック信号ECLK'が周期的であるか否かを判定することで、外部クロック信号ECLK'に重畠された前述の制御データCTL'Dを検出し、制御データCTL'Dが含まれる期間のみをS/P変換器81に入力する。具体的には、制御データ検出回路80は、図6に示す外部クロック信号ECLKのような非周期的な波形を検出した場合に、この波形部分をS/P変換器81に入力する。一方、制御データ検出回路80は、図6に示す基準クロック信号BCLKのような周期的な波形を検出した場合には、この波形部分はS/P変換器81に入力せずに破棄する。

30

【0045】

S/P変換器81は、内部クロック信号ICLKに基づいて、制御データ検出回路80から部分的に入力される外部クロック信号ECLK'をパラレル信号に変換する。これにより、プロセッサ装置11内で8B10Bエンコーダ73により生成された10ビットの制御データCTL'Dが復元される。復元された制御データCTL'Dは、8B10Bデコーダ82に入力される。

【0046】

8B10Bデコーダ82は、8B10B方式の規格で定められた変換表を用い、前述の8B10Bエンコーダ73とは逆の変換を行い、入力された制御データCTL'Dを10ビットから元の8ビットに復元する。8B10Bデコーダ82により復元された8ビットの制御データCTL'Dは、制御データ保持回路83に入力される。

40

【0047】

制御データ保持回路83は、データを一時的に保持するレジスタ回路からなり、入力された制御データCTL'Dを保持するとともに、制御データCTL'Dを、その種類に応じて固体撮像素子44内の制御回路66とDSP85とにそれぞれ入力する。固体撮像素子44の制御回路66に入力される制御データCTL'Dの種類としては、画素の走査方式（全画素走査／インターレース走査）、走査する画素領域（走査開始・終了する単位画素60の位置）、シャッタ速度（露光時間）などの駆動条件が挙げられる。また、DSP85に入力される制御データCTL'Dの種類としては、ホワイトバランス補正、ゲイン補正、色補間、輪郭強調補正、ガンマ補正、映像信号へのフォーマット変換等の実行のオン／オフ

50

や、ホワイトバランス補正やゲイン補正の補正係数、映像信号への変換フォーマット等の信号処理条件が挙げられる。固体撮像素子44内の制御回路66は、制御データ保持回路83から入力された制御データCTL'D及び内部クロック信号ICLKに基づいて、撮像動作を実行する。

【0048】

A/D変換器84は、固体撮像素子44から出力される撮像信号について、アナログ信号である各画素データを量子化して、例えば、8ビット(256階調)のデジタル信号に変換し、デジタル化された撮像信号をDSP85に入力する。DSP85は、ホワイトバランス補正、ゲイン補正、色補間、輪郭強調補正、ガンマ補正、映像信号へのフォーマット変換等の処理機能を備え、制御データ保持回路83から供給された制御データCTL'Dにより指定される処理を、指定された設定条件に基づいて実行し、映像信号VOSを出力する。

10

【0049】

PLL回路86は、前述のPLL回路75と同様な構成であり、内部クロック信号ICLKの周波数を所定倍(例えば10倍)に遙倍したシリアル伝送用クロック信号TCLKを生成し、生成したシリアル伝送用クロック信号TCLKを、P/S変換器87に供給するとともに、信号線49dを介してプロセッサ装置11内のPLL回路75へ伝送させる。

【0050】

P/S変換器87は、PLL回路86が生成したシリアル伝送用クロック信号TCLKに応じて、DSP85から入力される映像信号VOSをシリアル信号に変換し、信号線49eを介してプロセッサ装置11内のS/P変換器76へ伝送させる。

20

【0051】

上記のように構成された内視鏡システム2で体腔内を観察する際には、電子内視鏡10、プロセッサ装置11、光源装置12、及びモニタ21の電源をオンにして、電子内視鏡10の挿入部14を体腔内に挿入し、光源装置12からの照明光で体腔内を照明しながら、挿入部14の先端部17に内蔵される撮像チップ42により撮像される体腔内の画像をモニタ21に表示して観察する。

【0052】

プロセッサ装置11内のCPU70は、撮像チップ42の駆動に際して、制御データCTL'Dを発生する。制御データCTL'Dは、モニタ21の種類や光源装置12の種類(照明光の明るさや波長)に応じて決定されたものであり、固体撮像素子44の駆動条件(画素の走査方式、画素の走査領域、シャッタ速度等)や、DSP85による撮像信号の信号処理条件(各種処理のオン/オフ、ホワイトバランス補正やゲイン補正の補正係数、映像信号への変換フォーマット等)の制御を行うためのものである。

30

【0053】

CPU70から出力された制御データCTL'Dは、8B10Bエンコーダ73を介して10ビットのパラレル信号に変換され、制御データCTL'D'として信号重畠回路74に入力される。信号重畠回路74には、基準クロック発生回路72から基準クロック信号BCLKが入力されており、制御データCTL'D'が入力されると、この制御データCTL'D'を基準クロック信号BCLKに重畠させることにより外部クロック信号ECLKを生成し、信号線49cを介して撮像チップ42に伝送させる。信号重畠回路74は、制御データCTL'D'が入力されない場合(つまり、制御データCTL'D'がゼロ固定の場合)には、入力された基準クロック信号BCLKをそのまま外部クロック信号ECLKとして、信号線49cを介して撮像チップ42に伝送させる。

40

【0054】

撮像チップ42は、シリアル伝送された外部クロック信号ECLKを、周辺回路45内のPLL回路78及びD型フリップフロップ79で受け、PLL回路78により内部クロック信号ICLKを生成するとともに、D型フリップフロップ79により、内部クロック信号ICLKに位相同期した外部クロック信号ECLK'を生成する。この外部クロック

50

信号 E C L K ' は、制御データ検出回路 8 0 により、外部クロック信号 E C L K ' に重畠された制御データ C T L D ' を含む期間が検出され、その期間（波形部分）のみが抽出される。

【 0 0 5 5 】

制御データ検出回路 8 0 により抽出された外部クロック信号 E C L K ' の部分波形は、S / P 変換器 8 1 及び 8 B 1 0 B デコーダ 8 2 を介して、元の 8 ビットの制御データ C T L D に復元される。復元された制御データ C T L D は、制御データ保持回路 8 3 により保持され、その種類に応じて、固体撮像素子 4 4 内の制御回路 6 6 か D S P 8 5 に入力される。この制御データ C T L D に基づいて固体撮像素子 4 4 により撮像動作が行われ、A / D 変換器 8 4 により A / D 変換が行われ、D S P 8 5 により信号処理が行われた結果、映像信号 V O S が生成される。

10

【 0 0 5 6 】

D S P 8 5 により生成された映像信号 V O S は、P / S 変換器 8 7 によりシリアル信号に変換され、P L L 回路 8 6 によって生成されたシリアル伝送用クロック信号 T C L K に同期して、プロセッサ装置 1 1 にシリアル伝送される。プロセッサ装置 1 1 に伝送された映像信号 V O S は、S / P 変換器 7 6 によってパラレル信号に変換され、表示ドライバ 7 7 を介してモニタ 2 1 に画像表示される。

20

【 0 0 5 7 】

以上説明したように、内視鏡システム 2 では、基準クロック信号 B C L K に制御データ C T L D ' を重畠させることにより、1 本の信号線 4 9 c を介して伝送を行っているので、伝送されるデータ信号とクロック信号との間にタイミングスキューが生じるといった問題は生じず、伝送の高速化及び安定化が図られる。

20

【 0 0 5 8 】

また、内視鏡システム 2 では、上記のように 1 本の信号線 4 9 c を介して基準クロック信号 B C L K 及び制御データ C T L D ' を伝送することができるため、ケーブル 5 0 を細線化して、電子内視鏡 1 0 の細径化を図ることができる。これにより、電子内視鏡 1 0 が挿入される患者の負担が軽減される。

30

【 0 0 5 9 】

また、内視鏡システム 2 では、8 B 1 0 B エンコーダ 7 3 により、制御データ C T L D を、同じデータが所定期間以上連続しないように制御データ C T L D ' に変換してから基準クロック信号 B C L K に重畠してシリアル伝送を行っているため、受信側の撮像チップ 4 2 内の P L L 回路 7 8 では、信号の遷移情報（立ち上がりエッジ）を高頻度に検出することができ、基準クロック信号 B C L K の周波数に同期した内部クロック信号 I C L K を常に正確に生成することができる。

30

【 0 0 6 0 】

なお、上記実施形態では、C P U 7 0 は、撮像チップ 4 2 の制御を行わない場合に、8 B 1 0 B エンコーダ 7 3 を介して、信号重畠回路 7 4 にゼロ固定の制御データ C T L D ' を入力することによって、信号重畠回路 7 4 の重畠処理を実質的に停止させているが、C P U 7 0 が信号重畠回路 7 4 を直接制御することにより重畠処理を停止させても良い。

40

【 0 0 6 1 】

また、上記実施形態では、信号重畠回路 7 4 は、制御データ C T L D ' を基準クロック信号 B C L K に重畠させることにより外部クロック信号 E C L K を生成しているが、さらに、制御データ C T L D ' にチェックサム（check sum）を付加してから重畠を行うことも好ましい。チェックサムとは、制御データ C T L D ' を所定ビット数ごとに分割し、それぞれのブロック内のデータを数値とみなして合計を取った値である。受信側の撮像チップ 4 2 内に、外部クロック信号 E C L K から復元した制御データ C T L D ' から同様にチェックサムを計算し、送信側から送られてきたチェックサムと一致するか否かを検査する検査回路を設けることにより、通信経路上で生じたデータの誤りを検出することができる。

40

【 0 0 6 2 】

50

また、上記実施形態では、制御データ C T L D ' を負論理で表現しているため、信号重畠回路 7 4 は、図 6 に示すように、基準クロック信号 B C L K の立ち上がりエッジを検出し、制御データ C T L D ' が “ 1 ” に対応する 1 周期を L o w レベルに固定するように外部クロック信号 E C L K への変換を行っているが、制御データ C T L D ' を正論理で表現する場合には、上記とは逆に、制御データ C T L D ' が “ 0 ” に対応する一周期の期間を L o w レベルに固定することが好ましい。また、信号重畠回路 7 4 は、基準クロック信号 B C L K の立ち下がりエッジを検出するものであっても良く、さらに、制御データ C T L D ' が “ 1 ” または “ 0 ” に対応する 1 周期（立ち下がりエッジから次の立ち下がりエッジまでの期間）を H i g h レベルに固定するものであっても良い。

【 0 0 6 3 】

10

また、上記実施形態では、信号重畠回路 7 4 は、基準クロック信号 B C L K の 1 周期にに対して、制御データ C T L D ' の 1 ビットを割り当てて変換を行っているが、基準クロック信号 B C L K の立ち上がり及び立ち下がりの両エッジを検出することにより、図 8 に示すように、基準クロック信号 B C L K の半周期に対して、制御データ C T L D ' の 1 ビットを割り当てて変換を行っても良い。これにより、いわゆるダブルデータレートの転送が可能となり、データ転送速度が 2 倍に向上する。

【 0 0 6 4 】

20

また、上記実施形態では、プロセッサ装置 1 1 から撮像チップ 4 2 に入力された制御データ C T L D を固体撮像素子 4 4 内の制御回路 6 6 及び D S P 8 5 に設定しているが、この制御データ C T L D を、映像信号 V O S とともに信号線 4 9 e を介してプロセッサ装置 1 1 に入力するように構成しても良い。この場合、制御データ C T L D を、映像信号 V O S のプランキング期間（水平プランキング期間または垂直プランキング期間）に重畠させて伝送することが好ましい。これにより、プロセッサ装置 1 1 では、撮像チップ 4 2 に制御データ C T L D が正しく入力されたか否かを確認することができる。

【 0 0 6 5 】

30

また、上記実施形態では、電子通信システムとして内視鏡システムを例示して説明したが、本発明はこれに限定されず、超音波振動子を用いて撮像を行う超音波内視鏡システム、撮像機能を備える鏡筒が本体に着脱可能なデジタルカメラ、カメラとパソコンとからなる W e b カメラシステム等の撮像システムの他、撮像機能を備えない電子通信システムにも適用可能である。

【 0 0 6 6 】

40

すなわち、本発明は、図 9 に示すように、電子装置 9 0 とこれを制御する外部制御装置 9 1 とが信号線 9 2 を介して接続された電子通信システムに適用可能である。外部制御装置 9 1 は、制御データ C T L D を発生する C P U (データ発生回路) 7 0 と、基準クロック信号 B C L K を発生する基準クロック発生回路 7 2 と、基準クロック信号 B C L K に制御データ C T L D を重畠して外部クロック信号 E C L K を生成し、生成した外部クロック信号 E C L K を、信号線 9 2 を介してシリアル伝送させる信号重畠回路 7 4 とを備えるものであれば良い。電子装置 9 0 は、信号線 9 2 を介して入力される外部クロック信号 E C L K の周波数に同期した内部クロック信号 I C L K を生成する P L L 回路（内部クロック生成回路）7 8 と、生成された内部クロック信号 I C L K に基づき、外部クロック信号 E C L K に重畠された制御データ C T L D を抽出する制御データ抽出回路 9 3 とを備えるものであれば良い。制御データ抽出回路 9 3 は、前述した D 型フリップフロップ 7 9 と制御データ検出回路 8 0 とによって構成可能であるが、この構成は適宜変更して良い。

【 0 0 6 7 】

また、上記実施形態では、制御データを送信する場合について例示しているが、本発明はこれに限定されず、制御データ以外のデータ（動作状況を示すステータスデータ等）を送信する場合においても適用可能である。

【 図面の簡単な説明 】

【 0 0 6 8 】

50

【 図 1 】内視鏡システムの概略構成を示す図である。

- 【図2】電子内視鏡の先端部の前面を示す図である。
- 【図3】電子内視鏡の先端部の構成を示す拡大部分断面図である。
- 【図4】固体撮像素子の構成を示す回路図である。
- 【図5】撮像チップ及びプロセッサ装置の構成を示すブロック図である。
- 【図6】信号重畠回路の動作を説明するタイミングチャートである。
- 【図7】D型フリップフロップの動作を説明するタイミングチャートである。
- 【図8】信号重畠回路の動作の別の例を説明するタイミングチャートである。
- 【図9】本発明を適用した電子通信システムを示すブロック図である。

【符号の説明】

【0069】

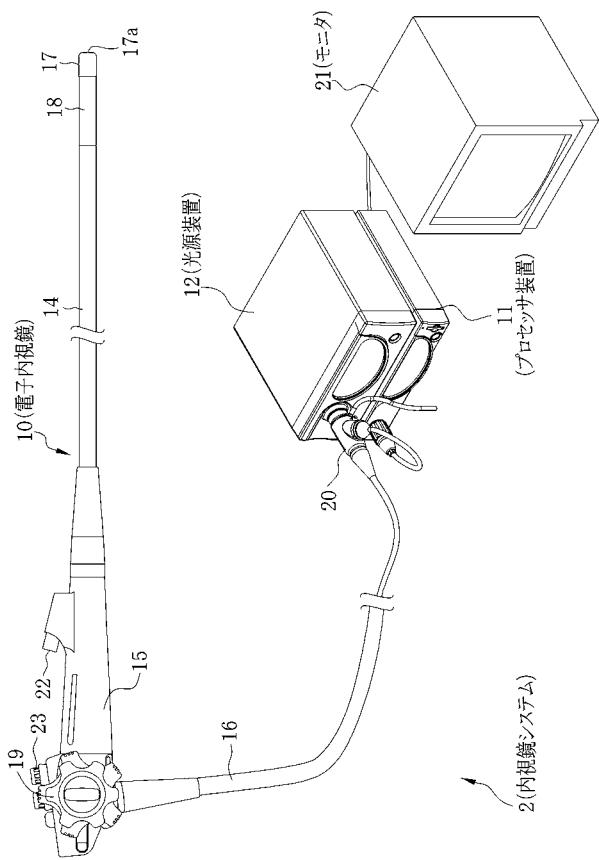
10

- 2 内視鏡システム
- 1 0 電子内視鏡
- 1 1 プロセッサ装置
- 4 2 撮像チップ(撮像装置)
- 4 4 固体撮像素子
- 4 9 信号線
- 4 9 a ~ 4 9 e 信号線
- 7 0 C P U(データ発生回路)
- 7 2 基準クロック発生回路
- 7 3 8 B 1 0 B エンコーダ
- 7 4 信号重畠回路
- 7 8 P L L 回路(内部クロック生成回路)
- 7 9 D型フリップフロップ
- 8 0 制御データ検出回路
- 8 1シリアル/パラレル変換器
- 8 2 8 B 1 0 B デコーダ
- 8 3 制御データ保持回路
- 8 5 デジタル信号処理回路
- 9 0 電子装置
- 9 1 外部制御装置(外部装置)
- 9 2 信号線
- 9 3 制御データ抽出回路(データ抽出回路)

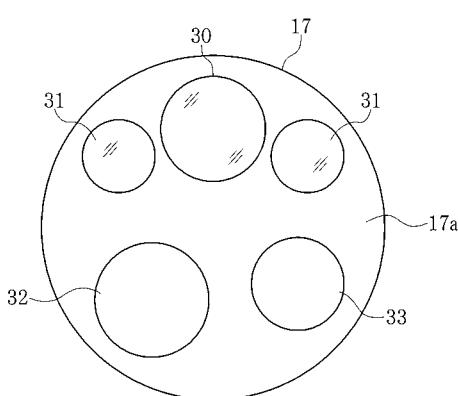
20

30

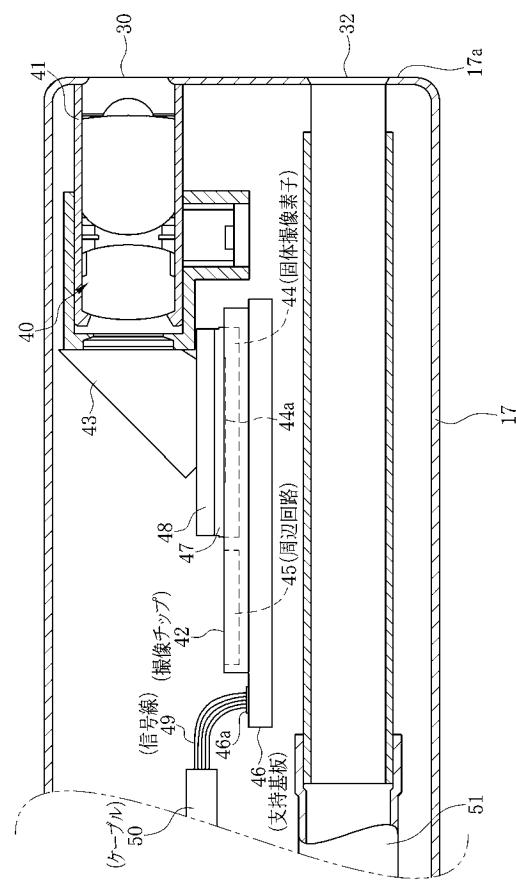
【図1】



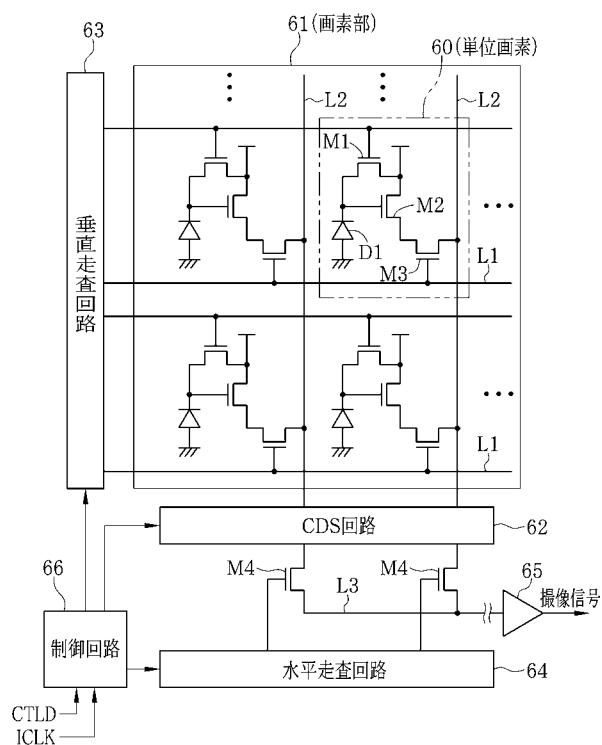
【図2】



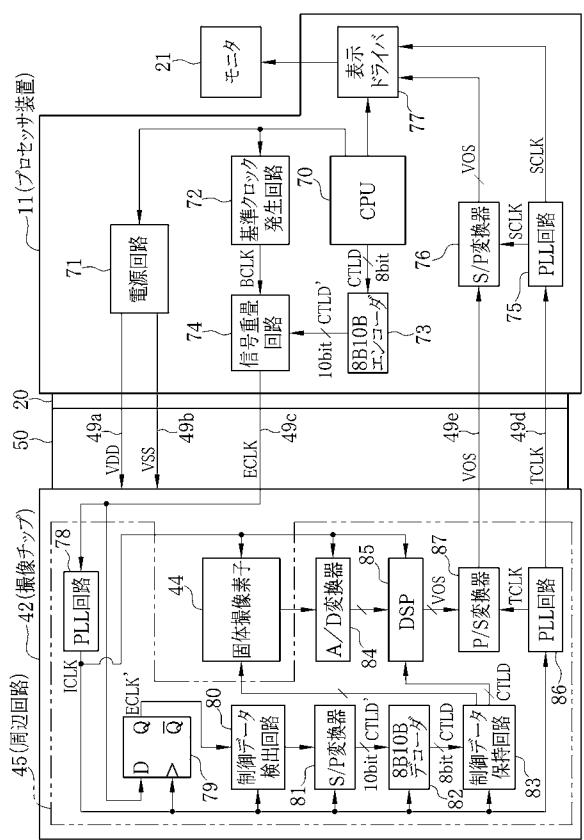
【図3】



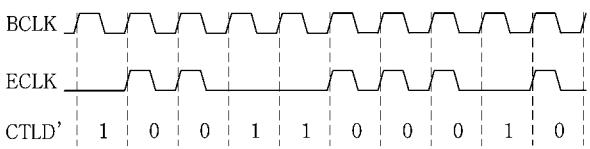
【図4】



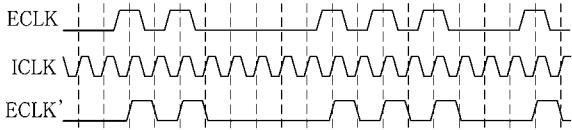
【図5】



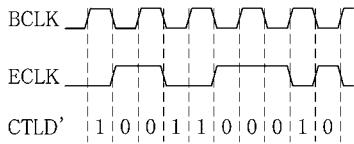
【図6】



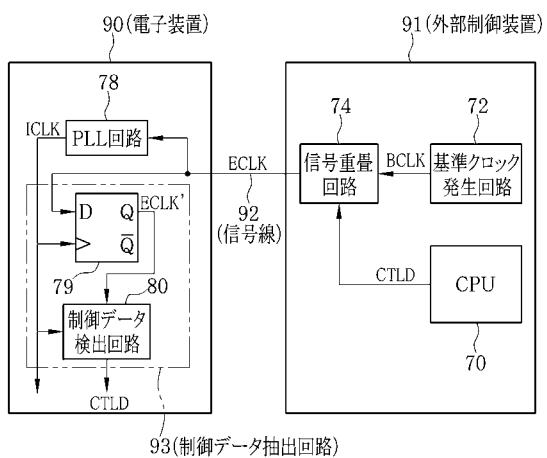
【図7】



【図8】



【図9】



专利名称(译)	电子通信系统和内窥镜系统		
公开(公告)号	JP2009195602A	公开(公告)日	2009-09-03
申请号	JP2008042885	申请日	2008-02-25
[标]申请(专利权)人(译)	富士写真光机株式会社		
申请(专利权)人(译)	富士公司		
[标]发明人	中村和彦		
发明人	中村 和彦		
IPC分类号	A61B1/04 G02B23/24 H04N7/18		
CPC分类号	H04N5/23203 H04N5/3765 H04N2005/2255		
FI分类号	A61B1/04.362.J A61B1/04.370 G02B23/24.B H04N7/18.M A61B1/00.680 A61B1/04 A61B1/045.610 A61B1/05		
F-TERM分类号	2H040/DA12 2H040/DA22 2H040/GA02 2H040/GA10 2H040/GA11 4C061/AA01 4C061/BB01 4C061/CC06 4C061/DD03 4C061/GG01 4C061/LL02 4C061/NN05 4C061/NN07 4C061/SS30 4C061/YY14 5C054/CC07 5C054/HA12 4C161/AA01 4C161/BB01 4C161/CC06 4C161/DD03 4C161/GG01 4C161/LL02 4C161/NN05 4C161/NN07 4C161/SS30 4C161/YY14		
代理人(译)	小林和典 饭岛茂		
外部链接	Espacenet		

摘要(译)

本发明提供了从外部设备到电子设备的高速且稳定的数据串行传输。发送控制数据CTLD的发送侧的外部控制装置(外部装置)91生成生成基准时钟信号BLCK的基准时钟信号生成电路72，生成控制数据CTLD的CPU70和基准时钟信号。提供信号叠加电路74，其通过信号线92将控制数据CTLD串行发送到电子设备90作为外部时钟信号ECLK。基于内部时钟信号ICLK，接收侧的电子设备90产生与从外部控制设备91串行发送的外部时钟信号BLCK的频率同步的内部时钟信号ICLK，并产生外部时钟信号ECLK。并且控制数据提取电路93用于提取叠加的控制数据CTLD。

[选图]图9

